

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-177244

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

H05K 3/46

H01G 4/40

(21)Application number : 09-337226

(71)Applicant : SONY CORP

(22)Date of filing : 08.12.1997

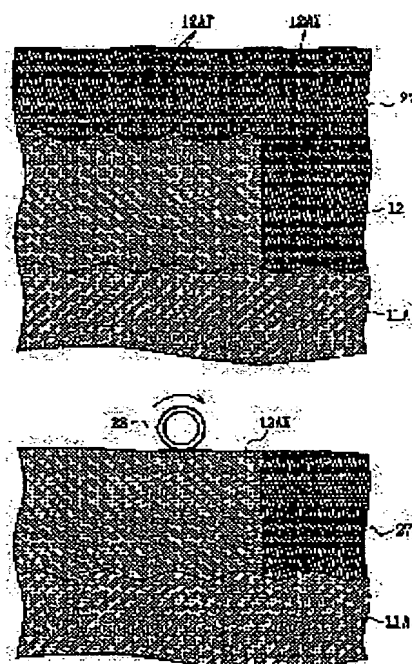
(72)Inventor : YONEYAMA KATSUHIRO  
YAMOTO HISAYOSHI  
NAKAMURA TOSHIFUMI

## (54) MANUFACTURE OF WIRING BOARD

## (57)Abstract:

PROBLEM TO BE SOLVED: To form a high-capacity capacitor which is stable in electric characteristics, by laminating a insulator layer on one surface of an insulating substrate where a conductor layer is laminated, flattening the surface of the conductor layer together with the insulator layer, laminating a high-dielectrics body layer on a specified electrode of the conductos layer, and laminating an electrode layer on the high-dielectric body layer.

SOLUTION: A conductor layer 12 of a desired pattern is formed on a ceramics substrate 11A, and an insulator layer 27 is formed on the ceramics substrate 11A. Then, a surface 12AX of the conductor layer is polished from the surface side of the insulator layer 27 using a polishing means 28 such as a grinder, etc. Thus, a rough 12AT formed on the surface 12AX of the conductor layer is removed together with the insulator layer 27, while its surface flattened. A high-dielectric body layer is formed on a barrier metal layer laminated on a specified electrode among conductor layers of top layer of the multi-layer ceramics wiring board, and on the high-dielectric body layer, an upper part electrode layer is formed using a desired electrode material such as gold, etc.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-177244

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 5 K 3/46

H 0 5 K 3/46

Q

H 0 1 G 4/40

H 0 1 G 4/40

A

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号

特願平9-337226

(22) 出願日

平成9年(1997)12月8日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 米山 勝廣

東京都品川区北品川6丁目7番35号ソニー株式会社内

(72) 発明者 矢元 久良

東京都品川区北品川6丁目7番35号ソニー株式会社内

(72) 発明者 中村 利文

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74) 代理人 弁理士 田辺 恵基

(54) 【発明の名称】 配線板の製造方法

(57) 【要約】 (修正有)

【課題】電気的特性の安定した高容量のコンデンサを形成することができる配線板の製造方法を実現する。

【解決手段】配線板の製造方法において、絶縁基板11Aの一面に所定パターンの導体層12Aを積層形成する第1の工程と、導体層が積層形成された絶縁基板の一面上に絶縁材からなる絶縁体層27を積層形成する第2の工程と、絶縁体層と共に導体層の表面を平坦化する第3の工程と、導体層の所定電極上に高誘電体材料からなる高誘電体層を積層形成する第4の工程と、高誘電体層上に電極材料からなる電極層を積層形成する第5の工程とを設けるようにしたことにより、高誘電体層が電気的絶縁耐圧性の低下によつて絶縁破壊すると共にリーク電流が発生するのを回避することができ、かくして電気的特性の安定した高容量のコンデンサを形成することができる配線板の製造方法を実現できる。

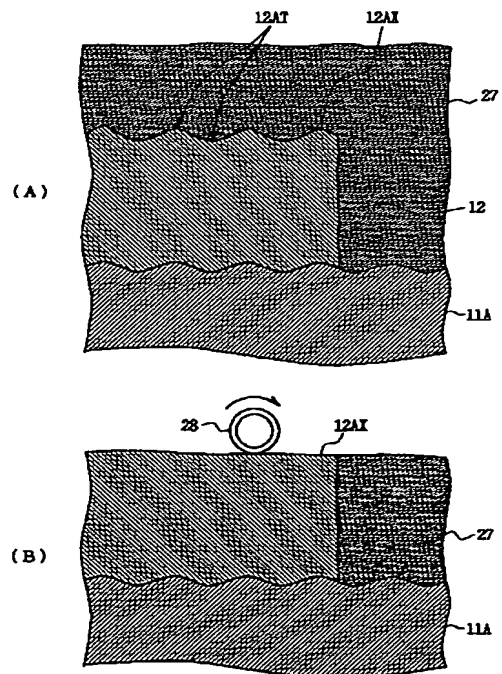


図4

## 【特許請求の範囲】

【請求項1】絶縁基板の一面に所定パターンの導体層を積層形成する第1の工程と、

上記導体層が積層形成された上記絶縁基板の上記一面上に絶縁材からなる絶縁体層を積層形成する第2の工程と、

上記絶縁体層と共に上記導体層の表面を平坦化する第3の工程と、

上記導体層の所定電極上に高誘電体材料からなる高誘電体層を積層形成する第4の工程と、

上記高誘電体層上に電極材料からなる電極層を積層形成する第5の工程とを具えることを特徴とする配線板の製造方法。

【請求項2】上記第3の工程では、

上記導体層の上記表面上に酸化防止用の所定材料からなるバリアメタル層を積層形成し、

上記第4の工程では、

上記高誘電体層を、上記バリアメタル層を介して上記導体層の上記所定電極上に積層形成することを特徴とする請求項1に記載の配線板の製造方法。

## 【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

【0002】発明の属する技術分野

従来の技術（図7）

発明が解決しようとする課題

課題を解決するための手段

発明の実施の形態

（1）本実施の形態による多層セラミツク配線板の構成（図1及び図2）

（2）本実施の形態による多層セラミツク配線板の製造手順（図3（A）～図6）

（3）本実施例の形態の動作及び効果

（4）他の実施の形態

発明の効果

【0003】

【発明の属する技術分野】本発明は配線板の製造方法に関し、例えば多層セラミツク配線板に適用して好適なものである。

【0004】

【従来の技術】従来、多層セラミツク配線板として図7のように構成されたものがある。かかる構成の多層セラミツク配線板1においては、ガラスセラミツク基板2A～2Fの一面に所望パターンの導体層（配線パターン）3A～3Iを形成すると共に、当該ガラスセラミツク基板2A～2Fを必要に応じて誘電体からなる誘電体シート4A、4Bを介在させながら複数枚重ね合わせて焼き固めることにより形成されている。

【0005】この場合所定の導体層3B～3Hには、所定の電極間を導通接続するように抵抗材料が印刷される

ことにより抵抗体5A、5Bが形成されると共に、誘電体シート4A、4Bを挟む導体層3B及び3C、3F及び3Gにはそれぞれ誘電体シート4A、4Bを介して対向するように電極3BX及び3CX、3FX及び3GXが設けられることによりこれら各電極3BX及び3CX、3FX及び3GXと、誘電体シート4A、4Bとでなるコンデンサ6A、6Bが形成されている。

【0006】これによりこの種の高層セラミツク配線板1においては、上述のように抵抗体5A、5B及びコンデンサ6A、6Bを内蔵する分、表面上に実装する抵抗体及びコンデンサ数を低減することができ、その分当該表面を有効に利用し得るようになされている。

【0007】

【発明が解決しようとする課題】ところでコンデンサの容量は、電極間距離に反比例し、かつ電極間に配設された誘電体の誘電率に正比例する。

【0008】ところがかかる多層セラミツク配線板1では、誘電体シート4A、4Bの取り扱い上の関係や、膨張係数及び収縮率等の問題から誘電体シート4A、4Bとしてアルミナを材料とする厚さ12.5～100〔 $\mu\text{m}$ 〕程度で比誘電率が5～6程度のものが用いられており、このため内部に高容量のコンデンサを形成できない問題があった。

【0009】實際上、誘電体シート4A、4Bとして厚さ50〔 $\mu\text{m}$ 〕、誘電率7のアルミナ薄板を用いた場合、得られる容量値は単位面積当たり1.24〔 $\text{pF}/\text{mm}^2$ 〕程度であり、小型製品において使用可能な誘電体コンデンサの1個当たりの実用的面積は常識的に0.1～3〔 $\text{mm}$ 〕角程度であることから、これら誘電体コンデンサの1個当たりの容量は0.01～10〔 $\text{pF}$ 〕程度となる。

【0010】そして例えば電話機では、ベースバンド用の回路ブロック（BBブロック）及び高周波用の回路ブロック（RFブロック）に用いられる各コンデンサの容量値は1.0～1000000〔 $\text{pF}$ 〕程度であり、このため上述のような容量値が0.01～10〔 $\text{pF}$ 〕程度の誘電体コンデンサを適用するのは非常に困難であった。

【0011】このため誘電体シート4A、4Bの板厚を薄くしたり、又は誘電体シート4A、4Bの誘電率を高くすることができれば、シート状の誘電体コンデンサでも適用し得ると考えられるが、實際上、従来の作製工程では薄型化に限界が生じることや、高誘電率の材料が常に最適な熱膨張係数を有するとは限らないため自由な材料選定ができず、この結果誘電体シート4A、4Bの薄型化又は誘電率の向上を実現するのは非常に困難であった。

【0012】従つて例えば多層セラミツク配線板において、その内部に電気的特性の安定した高容量のコンデンサを形成することができれば、その表面上に実装するコンデンサ数を低減し又は0にすることができる分、コンデンサを実装するために必要な実装面積を省略して多層

セラミック配線板全体として小型化することができる。

【0013】本発明は以上の点を考慮してなされたもので、電気的特性の安定した高容量のコンデンサを形成することができる配線板の製造方法を提案しようとするものである。

【0014】

【課題を解決するための手段】かかる課題を解決するため本発明においては、絶縁基板の一面に所定パターンの導体層を積層形成する第1の工程と、導体層が積層形成された絶縁基板の一面上に絶縁材からなる絶縁体層を積層形成する第2の工程と、絶縁体層と共に導体層の表面を平坦化する第3の工程と、導体層の所定電極上に高誘電体材料からなる高誘電体層を積層形成する第4の工程と、高誘電体層上に電極材料からなる電極層を積層形成する第5の工程とを設けるようにする。

【0015】この結果、平坦化後の導体層の所定電極間には常に絶縁体層が充填された状態となり、この結果、除去された導体層の一部が当該導体層の所定電極間に入り込んで当該電極間が短絡するのを防止することができる。また絶縁基板の一面に、表面が平坦化された導体層の電極と、高誘電体層と、電極層とを順次積層してなる高容量のコンデンサを形成することができ、当該コンデンサ内の高誘電体層には凹凸による電界集中が生じることがないため、高誘電体層が電気的絶縁耐圧性の低下によつて絶縁破壊すると共にリーク電流が発生するのを回避することができる。

【0016】

【発明の実施の形態】以下図面について、本発明の一実施の形態を詳述する。

【0017】(1)本実施の形態による多層セラミック配線板の構成

図1において、10は全体として本実施の形態による多層セラミック配線板を示し、ガラスセラミック基板11A～11Dの一面側に所望パターンの導体層12A～12Fを形成すると共に、当該ガラスセラミック基板11A～11Dを必要に応じて誘電体からなる誘電体シート13を介在させながら複数枚重ね合わせて焼き固めることにより形成されている。

【0018】また最上層のガラスセラミック基板11Aの表面上にはポリイミド樹脂材又はエポキシ樹脂材からなる絶縁体層14が積層形成され、当該絶縁体層14上には銅又は金等の所望の電極材料からなる所望パターンの導体層17が外部電極として形成されている。

【0019】この場合各ガラスセラミック基板11A～11D及び絶縁体層14の所定位置にはそれぞれ隣接する導体層12A～12F間を導通接続する導通路15A～15Gが設けられると共に、一部の導体層12A、12Bには所定の電極間に抵抗材料が印刷されることにより抵抗体16A～16Cが設けられている。

【0020】また最下層のガラスセラミック基板11D

上に設けられた導体層12Fには、バリアメタル層(図示せず)を介して金等の所望の電極材料からなる導体層18が外部電極として積層形成されている。

【0021】さらに最上層のガラスセラミック基板11A上に設けられた導体層12Aには、薄膜形成プロセスを用いてコンデンサ19が設けられ、絶縁体層14上に形成された導体層17と導通路15Hを介して導通接続されている。

【0022】實際上このコンデンサ19においては、図2に示すように、最上層のガラスセラミック基板11A上に設けられた導体層12A上に銅及び酸素の拡散防止のためのバリアメタル層20が形成されると共に、当該バリアメタル層20上に高誘電体材料からなる高誘電体層21が積層形成され、当該高誘電体層21上に金等の電極材料からなる上部電極層22が積層形成されることにより構成されている。

【0023】この場合高誘電体層21は、タンタルオキサイド(比誘電率20～25)や、バリウムチタンオキサイド( $\text{BaTiO}_3$ 、比誘電率2000)又はストロンチウムチタンオキサイド( $\text{SrTiO}_3$ 、比誘電率150～200)等の高誘電体材料を、印刷、スピンコート、スパッタ又はCVD(Chemical Vapor Deposition)等の手法を用いてバリアメタル層20上に例えば100～5000[Å]程度の膜厚で供給することにより形成されている。

【0024】これによりこの多層セラミック配線板10においては、高誘電体層21を形成する高誘電体材料や、当該高誘電体層21の膜厚などを選択することによつて、高容量のかつ所望容量のコンデンサを内部に設けることができるようになされている。

【0025】かかる構成に加え、この多層セラミック配線板10の場合、絶縁体層14及び最下層のガラスセラミック基板11Dにはそれぞれレジスト25及び26が塗布されている。

【0026】(2)本実施の形態による多層セラミック配線板の製造手順

ここでこのような多層セラミック配線板10は、図3(A)～図5(C)に示す以下の手順により製造することができる。

【0027】すなわち、まずアルミナ、ホウケイ酸化物及びシリコン酸化物等のセラミック材料粉末(粉体の平均粒径は約5[μm])を混合し、水又はアルコール等の溶剤、及びメタクリル酸ブチル等の有機バインダを加えて練り合わせた後、かくして得られた混練体を延ばして薄板(例えば厚さ12～200[μm]、縦横5～200[cm])を形成する。

【0028】次いでこの薄板を数十～数百度(50～400[℃]程度)に加熱して溶媒の大半を蒸発させることによりある程度の強度を有する図3(A)に示すようなガラスセラミック基板11A～11Dを形成した後、図3(B)に示すようにこのガラスセラミック基板11A～

11Dの一面又は両面に金、銅、白金若しくはタングステンの単体又は化合物となる導電材料を含む溶液を用いて所望パターンの導体層12A~12Fをそれぞれ形成する。

【0029】この場合各導体層12A~12Fは、印刷又はスピンコート等の手法を用いて線幅10~1000[ $\mu$ m]程度、厚さ0.1~50[ $\mu$ m]程度の配線パターンを形成した後、数十~数百度(50~400[ $^{\circ}$ C]程度)に加熱して溶媒の大半を蒸発させることにより形成することができる。

【0030】ところで通常、約数十[ $\mu$ m]の厚みを有する導体層12A~12Fの表面上には、約数[ $\mu$ m]の大きさからなる複数の凸凹(図示せず)が全体に亘って形成されている。そこで導体層12A~12Fのうち最上層となる導体層12Aを、他の導体層12B~12Fよりも、その表面12AX上に形成された凸凹12AT(図4(A))分の高さに応じて数[ $\mu$ m]程度厚めに形成しておくようにする。

【0031】次いで図3(C)に示すように、例えばポリイミド樹脂材又はエポキシ樹脂材等からなる絶縁体層27を、印刷又はスピンコート等の手法を用いてガラスセラミック基板11A上に数十[ $\mu$ m]程度の膜厚で供給することにより形成する。このとき図4(A)に示すように、ガラスセラミック基板11A上に形成された導体層12Aが露出しない程度に、絶縁体層27を導体層12Aの厚みよりも若干厚めに形成しておくようにする。

【0032】そしてこのような手順により図3(D)に示すように所望のパターンの導体層12Aが形成されるガラスセラミック基板11Aを作製すると共に、所望のパターンの導体層12B~12Fが形成されるガラスセラミック基板11B~11Dを所望する層数枚分だけ作製することができる。

【0033】続いて図3(E)に示すように、上述のようにして作製したこれら各セラミック基板11A~11Dの所定位置にパンチ等で穴を穿設し、この後この穴を導電性材料で埋めることにより所定の導体層12A~12F間を導通接続する導通路15A~15Gを形成する。

【0034】さらにこの後これら各セラミック基板11A~11Dを位置決めした状態で重ね合わせた後、これらセラミック基板11A~11Dを位置がずれないように押さえながら数百度(400~1300[ $^{\circ}$ C])に加熱して溶媒を蒸発させ、さらにセラミック材料の硬化、導電性材料の抵抗値低下、抵抗体薄膜の抵抗値の安定化を行うことにより、図5(A)に示すような多層セラミック配線板30を形成する。なお加熱処理は、水素を含む還元性雰囲気又は窒素等の不活性雰囲気のもとに行うようにする。

【0035】続いて図4(B)に示すように、導体層1

2Aの表面12AXを例えばグラインダ等の研磨手段28を用いて絶縁体層27の表面側から研磨する。これにより導体層12Aの表面12AX上に形成された凸凹12ATが絶縁体層27と共に除去されると共に、当該表面12Aが平坦化される。このとき導体層12Aの厚みは研磨量に応じて薄くなるが、予め凸凹12AT分だけ厚く形成しておいたことにより、研磨後であつても所望の厚みを有する導体層12Aを得ることができる。

【0036】この後、この多層セラミック配線板30の最上層の導体層12Aの表面の特性を改善するため、必要に応じてこれら導体層12A上に金、パラジウム又は白金等からなる金属層を形成する。

【0037】続いて図5(B)に示すように、この多層セラミック配線板30の最上層の導体層12A上に印刷、スパッタ又はCVD等の手法を用いてタングステン、ルテニウム又はルテニウムオキサイド等を被着し、バリアメタル層20を0.005~1.0[ $\mu$ m]程度の厚みで形成する。

【0038】次いでこの多層セラミック配線板30の最上層の導体層12Aのうちの所定電極上に積層されたバリアメタル層20上に印刷、スピンコート、スパッタ又はCVD等の手法によりタンタルオキサイド又はバリウムチタンオキサイド等の高誘電体材料からなる高誘電体層21を形成する。このとき高誘電体層21の厚さ、誘電率、 $\tan \delta$ 及び耐圧等は、要求に応じて最適な値を選定するようにする。

【0039】続いてこのように高誘電体層21を成膜形成した多層セラミック配線板30を300~800[ $^{\circ}$ C]の酸素雰囲気等の所定雰囲気中で0.1~180分程度加熱処理することにより高誘電体層21の電気的特性を向上させた後、この高誘電体層21上に金等の所望の電極材料を用いて上部電極層22を形成する。これによりコンデンサ19を得ることができる。

【0040】またこのとき必要に応じて多層セラミック配線板30の最上層に設けられた導体層12Aの所定の電極間にルテニウムオキサイド等を供給するようにして抵抗体16Aを形成する。

【0041】さらにこの後コンデンサ19の高誘電体層21の電気特性を向上させるため、200~500[ $^{\circ}$ C]で0.1~180分程度加熱処理すると共に、この後必要に応じてコンデンサ19の容量や抵抗体16Aの抵抗値のトリミングを実施する。

【0042】続いて図5(C)に示すように、この多層セラミック配線板30の表面(ガラスセラミック基板11Aの表面)上に、コンデンサ19の上部電極層22が露出しない厚みで印刷、スピンコート又は貼り合わせ等の手法によりポリイミド又はエポキシ樹脂等の絶縁性樹脂材からなる絶縁体層14を形成し、この後絶縁体層14の所定位置に従来の手法を用いてスルーホールを形成する。

【0043】なおこのとき例えば絶縁体層14の材料として感光性ポリイミドやエポキシ樹脂を採用したときには、スピンコートや印刷により塗布し、数百度で加熱硬化した後、対応する位置に紫外線等を照射し、現像した後、スルーホールを形成することができる。

【0044】そしてこの後このようにして絶縁体層14が積層形成された多層セラミック配線板30の表面（すなわち絶縁体層14の表面）上に、スパッタやめつきなどの手法を用いて所望パターンの導体層17を形成すると共に、これと同時にスルーホールを導電材で埋めることにより導通路15Hを形成する。この後、多層セラミック配線板30の最上層及び最下層にそれぞれ導体層17及び18が露出するようにレジスト25及び26を塗布する。これにより図6に示すような多層セラミック配線板10を得ることができる。

【0045】（3）本実施例の形態の動作及び効果  
以上の構成において、この実施の形態による多層セラミック配線板10では、最上層のセラミック基板11A上に積層形成された導体層12Aの所定電極上にバリアメタル層20と、高誘電体材料からなる高誘電体層21と、上部電極層22とが順次積層されるようにしてコンデンサ19が形成される。

【0046】従つてこの多層セラミック配線板10では、コンデンサ19の高誘電体層21が多層セラミック配線板の1つの層を形成していない分、当該高誘電体層21の材料として熱膨張率や収縮率を考慮することなく所望のかつ高い誘電率を有する材料を用いることができ、また薄膜形成プロセスを用いて高誘電体層21を形成する分、薄い膜厚の高誘電体層21を形成することができるため、高容量でかつ所望容量のコンデンサ19を形成することができる。

【0047】またこの多層セラミック配線板10では、最上層のセラミック基板11A上に所望パターンの導体層12Aを形成する際に、当該導体層12Aの厚みをその表面12AX上に形成される凸凹12AT分の高さに応じて厚めに設定しておく。さらに当該導体層12AXが露出しない程度にセラミック基板11A上に絶縁体層27を形成する。

【0048】続いて導体層12Aの表面12AXに形成された凸凹12ATを除去するように、当該表面12AXを研磨することにより、当該導体層12Aを所望の厚みでかつ表面12AXを平坦化することができる。さらに絶縁体層27と共に導体層12Aの表面12AXを研磨することにより、研磨後の導体層12Aの所定電極間には常に絶縁体層27が充填された状態となり、この結果、導体層12Aの研磨くずが当該導体層12Aの所定電極間に入り込んで当該電極間が短絡するのを防止することができる。

【0049】これにより平坦化された導体層12Aを下部電極としてコンデンサ19を形成した場合、当該コン

デンサ19内の薄い膜厚の高誘電体層21には電界集中が生じることがないため、高誘電体層21が電氣的絶縁耐圧性の低下によつて絶縁破壊すると共にリーク電流が発生するのを回避することができ、かくしてコンデンサ19の電氣的特性を安定化させることができる。

【0050】以上の構成によれば、最上層のセラミック基板11A上に形成された導体層12Aを覆う程度に絶縁体層27を形成しておき、当該絶縁体層27と共に導体層12Aを平坦化した後、当該導体層12Aの所定の電極上に、薄膜形成プロセスを用いてバリアメタル層20と、高誘電体材料からなる高誘電体層21と、上部電極層22とを順次積層形成するようにしてコンデンサ19を形成するようにしたことにより、電氣的特性の安定した高容量のコンデンサ19を多層セラミック配線板10の内部に設けることができる。

【0051】（4）他の実施の形態

なお上述の実施の形態においては、コンデンサ19のバリアメタル層20の材料としてタングステン、ルテニウム又はルテニウムオキサイド $RuO_x$ （ $X=0.05\sim 2.0$ ）等を適用するようにした場合について述べたが、本発明はこれに限らず、要は、銅及び酸素の拡散を防止できる材料であるのならば、バリアメタル層20の材料としては、この他 $Ir-Hf-O_x$ 、 $PdRhO$ 、 $PdRuO$ 、 $Ti/Ir-Hf-O_x/Ir$ 、 $Ti/Ir-Hf-O_x/Pt$ 、 $Ti/Ir-Hf-O_x/Ti/Pt$ 、 $Ti/Ir-Hf-O_x/Ti/Ir$ 等の種々の材料を適用できる。またこれらの材料からなる薄膜を組み合わせるバリアメタル層20を多層薄膜構造とするようにしても良い。

【0052】また上述の実施の形態においては、コンデンサ19の高誘電体層21の材料としてタンタルオキサイド、 $BaTiO_3$ 又は $SrTiO_3$ （STO）等を適用するようにした場合について述べたが、本発明はこれに限らず、高誘電体層21の材料としては、この他 $BaSrTiO_3$ （BST、比誘電率500～860）、 $PbLaZrTiO_3$ （PLZT、比誘電率750～4000）、 $PbTiO_3$ （比誘電率100～200）等の種々の高誘電体材料を適用できる。またコンデンサ19の高誘電体層21の材料としては、高誘電体材料に類似した、例えば $PbZrTiO_3$ （PZT、比誘電率350～1000）等のペロブスカイト構造誘電体材料を用いるようにしても良い。なおこのとき $\tan\delta$ も必要に応じて最適な材料及び組成を選ぶことができ、複数組成や、厚さ及び面積も作成や選択が可能である。

【0053】さらに上述の実施の形態においては、本発明によるコンデンサ19を多層セラミック配線板30の表面上に形成するようにした場合について述べたが、本発明はこれに限らず、多層セラミック配線板30の内部に形成するようにしても良い。

【0054】さらに上述の実施の形態においては、本発明を多層セラミック配線板10に適用するようにした場合について述べたが、本発明はこれに限らず、この他種々の多層配線板に適用することができる。

【0055】さらに上述の実施の形態においては、本発明を多層セラミック配線板10に適用するようにした場合について述べたが、本発明はこれに限らず、単層からなる種々の配線板に適用することができる。

【0056】さらに上述の実施の形態においては、最上層のガラスセラミック基板11A上に形成する導体層12Aを研磨した後、当該導体層12Aを下部電極としてコンデンサ19を形成するようにした場合について述べたが、本発明はこれに限らず、研磨後の導体層12Aの表面12AX上に金、銅、白金若しくはタングステンの単体又は化合物でなる導電材料を蒸着法又はめつき法を用いて数〔 $\mu\text{m}$ 〕程度の薄い金属層を積層形成するようにしても良い。

【0057】さらに上述の実施の形態においては、最上層のガラスセラミック基板11A上に形成した導体層12Aを覆うようにポリイミド樹脂材又はエポキシ樹脂材等からなる絶縁体層27を形成するようにした場合について述べたが、本発明はこれに限らず、絶縁体層27の材料としては、この他種々の材料を適用できる。

【0058】さらに上述の実施の形態においては、研磨手段28としてグラインダを適用した場合について述べたが、本発明はこれに限らず、要は導体層12Aの表面12AXを平坦化することができれば、レーザ光線を照射するなど種々の方法を適用しても良い。

【0059】さらに上述の実施の形態においては、多層セラミック配線板30の最表層のガラスセラミック基板11Aの表面上に樹脂材からなる絶縁体層14を形成するようにした場合について述べたが、本発明はこれに限らず、絶縁体層14の材料としては、この他種々の材料を適用できる。なおこの場合本実施の形態によるコンデンサ19を多層セラミック配線板30の内部に形成する場合には、上層のガラスセラミック基板11A～11Dが絶縁体層となる。

【0060】さらに上述の実施の形態においては、多層セラミック配線板30の表面の導体層12A上にバリア金属層20を形成した後、コンデンサ19の高誘電体層21を形成するようにした場合について述べたが、本発明はこれに限らず、導体層12Aを酸化し難い導電材料を用いて形成した場合には、バリア金属層20を省略するようによっても良い。

【0061】

【発明の効果】上述のように本発明によれば、配線板の製造方法において、絶縁基板の一面に所定パターンの導体層を積層形成する第1の工程と、導体層が積層形成された絶縁基板の一面上に絶縁材からなる絶縁体層を積層形成する第2の工程と、絶縁体層と共に導体層の表面を平坦化する第3の工程と、導体層の所定電極上に高誘電体材料からなる高誘電体層を積層形成する第4の工程と、高誘電体層上に電極材料からなる電極層を積層形成する第5の工程とを設けるようにしたことにより、絶縁基板の一面に、表面が平坦化されかつ隣同士で短絡が生じない導体層の電極と、高誘電体層と、電極層とを順次積層してなる高容量のコンデンサを形成することができる。かくするにつきこのコンデンサ内の高誘電体層には電界集中が生じることがないため、高誘電体層が電氣的絶縁耐圧性の低下によつて絶縁破壊すると共にリーク電流が発生するのを回避することができ、かくして電氣的特性の安定した高容量のコンデンサを形成することができる配線板の製造方法を実現できる。

【図面の簡単な説明】

【図1】本実施の形態による多層セラミック配線板の構成を示す断面図である。

【図2】本実施の形態によるコンデンサの構成を示す断面図である。

【図3】本実施の形態による多層セラミック配線板の製造手順の説明に供する断面図である。

【図4】本実施の形態による平坦化処理の説明に供する断面図である。

【図5】本実施の形態による多層セラミック配線板の製造手順の説明に供する断面図である。

【図6】本実施の形態による多層セラミック配線板の製造手順の説明に供する断面図である。

【図7】従来の多層セラミック配線板の一構成例を示す断面図である。

【符号の説明】

10、(30)……多層セラミック配線板、11A～11D……ガラスセラミック基板、12A～12F、17、18……導体層、14、27……絶縁体層、15A～15H……導通路、16A～16C……抵抗体、19……コンデンサ、20……バリア金属層、21……高誘電体層、22……上部電極層、31……スピノングラス層、28……研磨手段。

【図1】

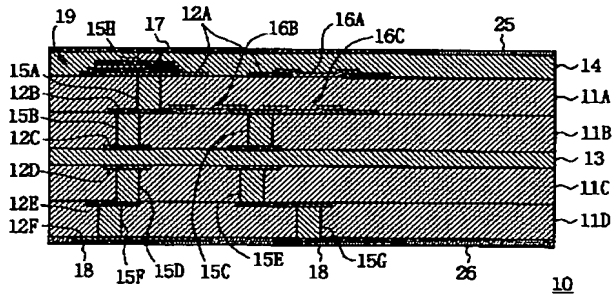


図1

【図2】

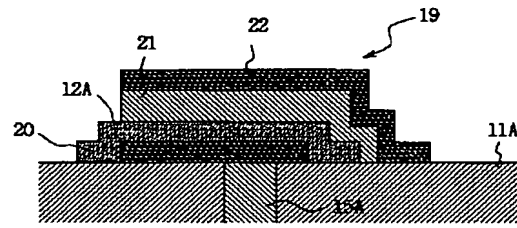


図2

【図3】

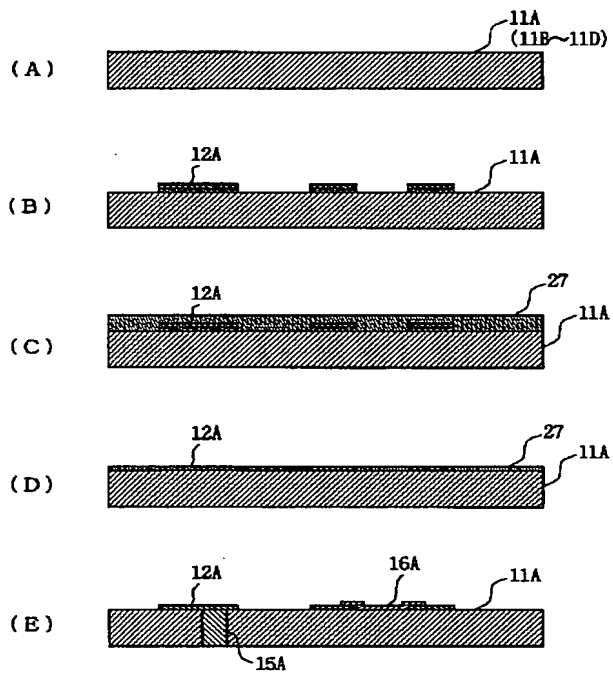


図3

【図6】

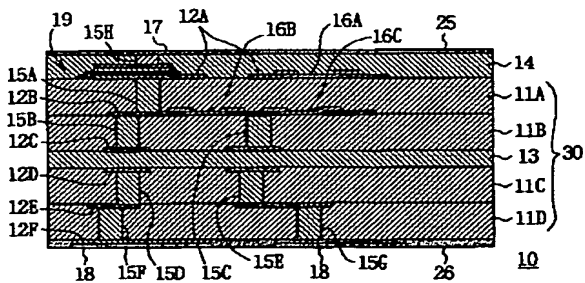


図6

【図4】

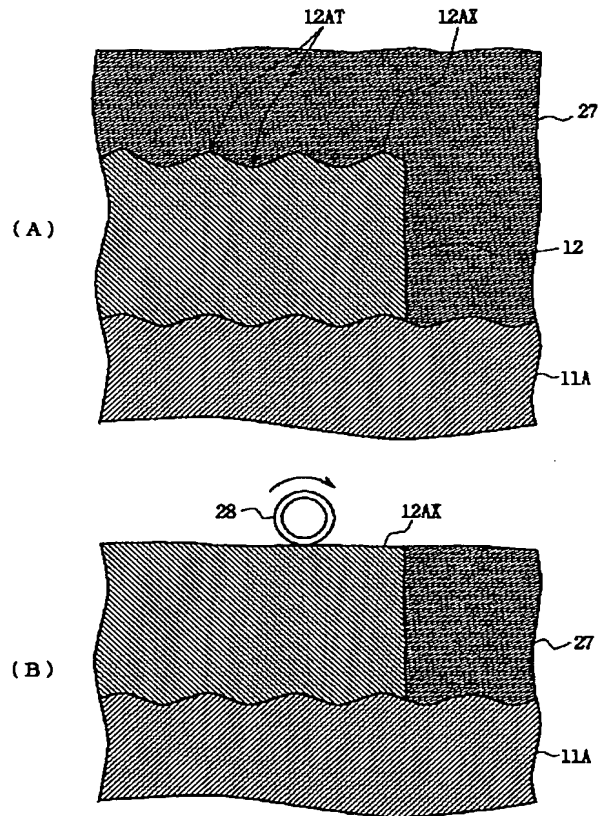


図4



【図7】

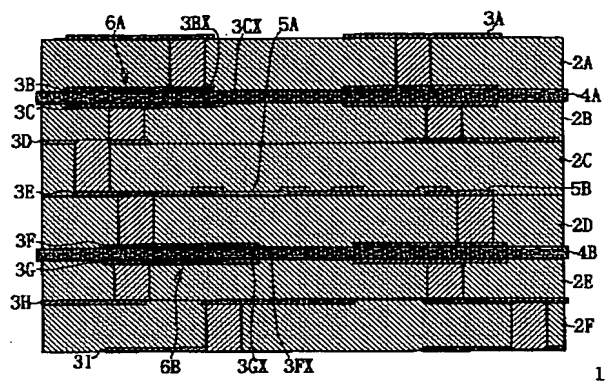


图7

**图 5**